

8- APLICACIONES TÉCNICAS DE INTEGRACIÓN [5]

La tecnología de Transistores de Efecto de Campo de PD. se ha desarrollado hasta tal punto, que se han fabricado en laboratorios de investigación de circuitos completos de PD. El rendimiento de estos circuitos esta determinado por la repetibilidad de las características del dispositivo activo y por la flexibilidad del diseño del circuito. El mayor rendimiento se obtiene diseñando para conformar amplias variaciones en las características del dispositivo y permitir una selección y ajuste de componentes en la disposición del circuito. La confiabilidad proyectada de los circuitos de PD es una de sus mayores ventajas. Esto se logra haciendo mínimo el numero de soldaduras o interconexiones soldadas, y en un circuito de PD completo, los únicos terminales conectados al sustrato son aquellos necesarios para conexiones externas. En un ensayo de laboratorio se han hecho trabajar continuamente por mas de 5000 horas 3 transistores de efecto de campo de PD, solos e incluidos en circuitos. El único cambio apreciable fue una desviación negativa de 10% en el nivel de referencia durante las primeras 50 horas. La resistencia a la radiación es otra ventaja importante de la tecnología de PD. Los TEC han sido expuestos a flujos integrados nucleares excediendo los 10^{16} neutrones cm^2 y 2×10^{10} ergios/gr.(°C), de radiación gamma. El único efecto fue una variación del 10% en el punto de polarización de la referencia, lo cual podría ser similar al efecto de envejecimiento hallado en los tres transistores de prueba. Estos resultados promisorios indican que la resistencia a la radiación es por lo menos, un orden de magnitud mejor que la de los transistores de juntura.

8.1- Integración y Secuencia de Deposición para el Amplificador Diferencial

El circuito de un Amplificador Diferencial es difícil de fabricar en forma microelectrónica, debido a los controles necesarios para producir dispositivos activos con características similares sin posibilidad de selección. Los TEC (FET) de PD se forman por sucesivas deposiciones en vacío de los electrodos fuente-drenaje, la capa semiconductora, la de aislamiento de la compuerta, y finalmente la compuerta. La disposición se muestra en sección transversal en la figura 8.1.

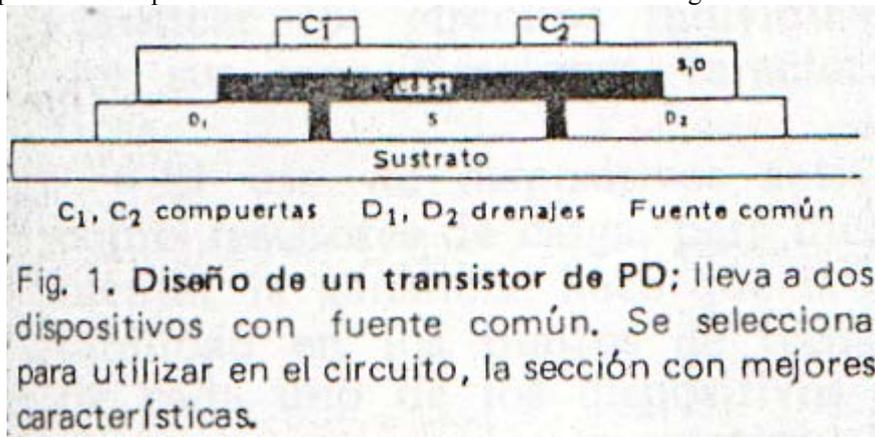


Figura N° 8.1

Las características de un TEC, con los electrodos fuente-drenaje de 0,013 mm de ancho y 2,5 mm de longitud, a una corriente de drenaje I_D de aproximadamente de 1 mA son:

Trasconductancia: $g_m = 500 - 2000$ mhoms

Resistencia de drenaje: $r_d = 200 \text{ K}\Omega - 1 \text{ M}\Omega$

Ganancia de Tensión: $\mu = g_m \cdot r_d = 100 - 2000$

El Amplificador Diferencial que se observa esquemáticamente en la figura 8.2(b) usa dispositivos activos; Q_1 y Q_2 como cargas para aumentar la ganancia. Q_5 sirve como fuente de corriente para mejorar la relación de rechazo de modo común. Por lo tanto las resistencias de drenaje r_d de los dispositivos sirven como resistores de carga R_c y resistores de cátodo R_K . Utilizando las ecuaciones simplificadas del amplificador diferencial, que son validas para $R_K (\mu + 1) \gg r_d$, la ganancia de tensión de salida simple A es:

$$A = \frac{e_{sal2}}{(e_{sal1}) - (e_{ent2})} = \frac{\mu \cdot R_c}{2 \cdot (R_c + r_d)}$$

Para este circuito Amplificador Diferencial: $R_K = r_d = R_c$ En consecuencia para este circuito,

$$A = \mu / 4 = 25 - 500.$$

La cifra de merito del amplificador diferencial es la relación de rechazo de modo común. Esta relación define la capacidad del amplificador para diferenciar entre señales de entrada de valores diferentes y señales de entrada de valores iguales. La relación de rechazo de modo común es: $-g_m \cdot R_K$

$$R_K = R_{K5} (\mu + 1) + r_{d5}$$

$$R_{K5} = 0 \quad ; \quad r_{d5} = 200 \text{ K}\Omega \text{ a } 1 \text{ M}\Omega$$

La relación de rechazo es por lo tanto 100 - 2000. Otras tres consideraciones en el diseño de este amplificador diferencial son:

** Los dispositivos activos de entrada de señal deben ser similares. Hay una gran probabilidad que la trasconductancia y las resistencias de drenaje de los TEC, sobre un sustrato pequeño, sean similares pero probablemente los puntos de polarización de los dispositivos de entrada tendrán que ajustarse externamente para equilibrar el amplificador. La dispersión en las características de los dispositivos, mencionadas anteriormente que causan una amplia variación en los parámetros del circuito, deberían producirse usualmente de sustrato a sustrato mas que entre dispositivos sobre un mismo sustrato. Esto exige clasificar los circuitos individuales por sus especificaciones características.

** El uso de dispositivos activos como resistores de carga, para incrementar la ganancia hace que la estabilidad en los puntos de trabajo de cada uno de los dispositivos de carga, sea un parámetro crítico. En la actualidad para lograr estabilidad ante cambios en las condiciones ambientales y largos periodos de trabajo estas cargas activas deben sustituirse por cargas resistivas, disminuyendo la ganancia del amplificador.

** Cualquier diferencia entre los factores de amplificación de los dispositivos amplificadores apareados, empeora la relación de rechazo de modo común.

8.1.1- Efectos Geométricos en la Disposición del Circuito.

En el diseño de la disposición deben considerarse las tolerancias de los resistores y capacitores, la disipación de potencia, los coeficientes de temperatura y otros factores que dependen de la geometría de la película y de las técnicas de disposición. Tanto en la formación de dispositivos activos como de componentes pasivos sobre un mismo sustrato, se vuelven sumamente importantes factores adicionales tales como la secuencia de deposición. La disposición del amplificador mostrado en la figura 8.1 ocupa 323 mm^2 . Los dispositivos activos se depositan en pares redundantes mostrados en sección transversal en la figura 8.1 lo cual permite una selección del mejor dispositivo para llevar al máximo rendimiento del circuito. Los resistores de polarización pueden ajustarse sobre más de un 50% de su valor para compensar las variaciones en los puntos de polarización de los dispositivos activos, mediante apertura de pasos en las redes de cortocircuitos de resistores. Todos los dispositivos activos tienen una configuración geométrica idéntica, elegida para adecuarse a los dispositivos experimentales utilizados en el laboratorio. Cuando deban producirse grandes cantidades de circuitos o cuando es de extrema importancia el tamaño, pueden elegirse otras configuraciones para adecuarse mejor al tamaño del sustrato y a la función del circuito. Los cambios de configuración no obstante afectarán el rendimiento inicial hasta que se desarrollen nuevos parámetros de deposición de dispositivos activos. En los circuitos que contienen dispositivos activos la secuencia de deposición del material tiene particular importancia. Las propiedades de la película semiconductor utilizada en los transistores de efecto de campo, se ven afectadas por las variaciones de temperatura del sustrato durante el proceso de formación. El orden de la deposición debe ser tal que puedan depositarse primero aquellas películas que requieran temperaturas de formación del sustrato más altas. Para los sustratos de deposición al vacío a presiones de 10^{-5} a 10^{-7} TORR, seguido del procedimiento de limpiado ultrasónico usual.

8.1.2- Secuencia de Deposición para el Amplificador Diferencial.

El circuito se forma con máscaras de molibdeno en 6 deposiciones y utilizando 4 materiales, cuyos parámetros figuran en la tabla. El primer material depositado es nicromo. Este forma las orejas o zonas base en las cuales se hacen las conexiones externas figura 8.2(a); los electrodos fuente-drenaje para los dispositivos activos y las orejas de terminación y redes de ajuste para los resistores. El nicromo se deposita primero debido a la elevada temperatura de sustrato que requiere para adherirse. Se utiliza este material porque forma una superficie de adherencia dura apropiada para realizar la soldadura con electrodo partido y porque es capaz de soportar las tensiones causadas por la disposición de película en varias capas. La segunda deposición es la del material semiconductor, Seleniuro de Cadmio, el cual se usa para las capas activas de los FET y también para los resistores de polarización. El seleniuro de cadmio se deposita y recuece a 250°C durante 2 minutos. A 250°C la resistencia fuente-drenaje es de $0,5$ a $1 \text{ M}\Omega$ a través de un espaciado entre electrodos fuente-drenaje de $0,013 \text{ mm}$ de ancho y $2,54 \text{ mm}$ de largo.

Se puede utilizar la película semiconductor para formar resistores eliminando así la necesidad de una deposición adicional. Este procedimiento es aceptable, debido a que la función de estos resistores es establecer puntos de trabajo apropiados para las fuentes de corriente mediante la correcta relación de resistencias. Los valores absolutos de los resistores y los coeficientes de temperatura no son críticos. El tercer material que se deposita es el Monóxido de Silicio SiO_2 , el cual forma una capa sobre el semiconductor. El valor de la resistencia fuente-drenaje cambia varios órdenes de magnitud durante la deposición, quedando su valor final a 25°C entre $1 \text{ K}\Omega$ y $5 \text{ K}\Omega$. Esto significa que la película de CdSe después de ser cubierta por la capa de SiO_2 , tiene una resistividad superficial que varía entre $200 \text{ K}\Omega$ y $1 \text{ M}\Omega$ por cuadro. Puesto que la impedancia de entrada de CC de la compuerta del transistor es mayor que $10^8 \Omega$, los resistores de polarización pueden tener una resistencia de entrada paralelo de hasta $10^7 \Omega$, sin degradar las características del transistor. El aluminio que se deposita luego, se utiliza como material conductor de interconexión. Este es un material de baja resistencia, el cual aunque se deposite con bajas temperaturas de sustrato, presentará una adherencia confiable. Además se utiliza como electrodo de la compuerta de los dispositivos activos. El aluminio se deposita dos veces. Primero se depositan los electrodos de compuertas de los dispositivos y porciones de las redes de interconexión bajo los puntos de cruce.

Seguidamente se saca el sustrato del sistema de vacío y se miden las características del dispositivo. Aquellos sustratos que tienen dispositivos activos con valores aceptables de los parámetros se reinsertan en el sistema de vacío. El SiO_2 y Al que se depositan luego, forman los puntos de cruce e interconexiones restantes. La operación final consiste en la aislamiento por corte de los dispositivos activos de los pares redundantes que no se utilicen. Las relaciones de resistores requeridas se obtiene mediante la apertura de pasos en redes de cortocircuito de resistores. Los materiales tratados aquí, pueden sustituirse con igual resultado por otros

eliminar los dispositivos redundantes y para producciones masivas seria innecesario, para examinar el sustrato, abrir la campana de vacío. El circuito de prueba del TEC funciono con una relación de rechazo de modo común mayor que 100 y una ganancia de 20.

Tabla de Materiales por Orden de Deposición por Circuitos de PD

Material	Temperatura del Sustrato (°C)	Velocidad de Evaporación Ångstrom por minuto	Espesor de la Película Ångstrom
1- Nicromo	200	2.000	2.000
2- Seleniuro de CadmioSeCd	200	10.000	8.000
3- Monóxido de Silicio SiO	50	2.000	1.400
4- Aluminio Al	50	2.000	1.000

8.2 ENCAPSULADO FUNCIONAL APLICADO AL DISEÑO DE UN COMPUTADOR [13]

El encapsulado se refiere al modo en que se montan físicamente los circuitos individuales en un sistema de trabajo. Para una computadora con CI, la primera consideración del encapsulado es como se conectan eléctricamente entre sí las pastillas ó chips individuales y de que forma se sujetan mecánicamente. Lo que constituye un problema en el encapsulado, son las restricciones sobre el numero de terminales de interconexiones que pueden agregarse a cada pastilla. Estas nuevas restricciones en CI, siempre hacen pensar en futuras computadoras del tamaño de una estampilla pero con un cable de entrada-salida de 15 cm de largo. A esto se asemejaran las próximas computadoras de CI.

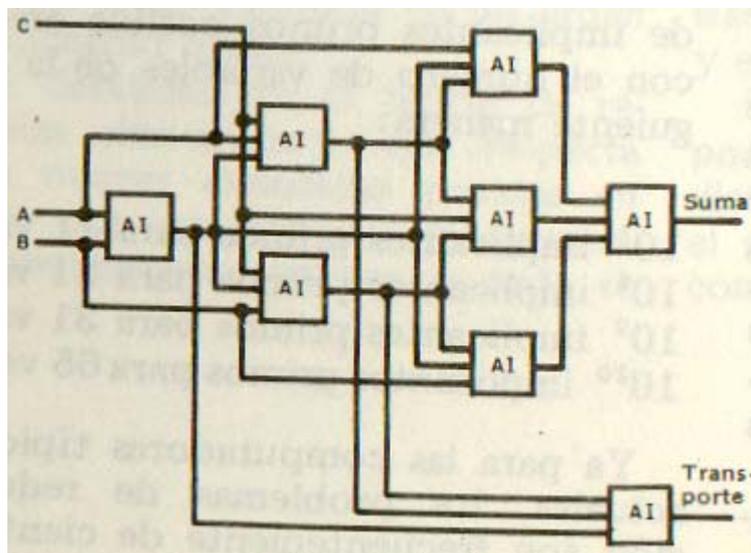


Figura N° 8.3 Sumador Binario Completo en un Chip (pastilla)

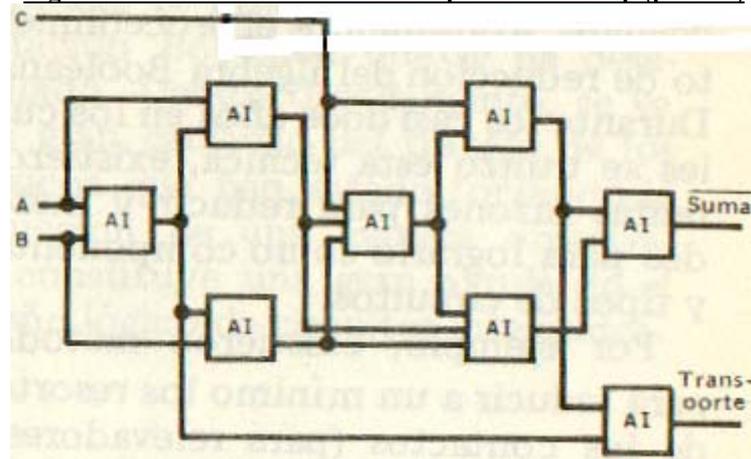


Figura N° 8-4 Versión Mejorada de la Fig. 8-3

En la **figura 8.3** se desarrollo dicha función con el menor numero de compuertas NO-Y. En la **figura 8.4** tiene la misma cantidad de circuitos NO-Y pero menos cruces. Nótese que produce el complemento de la SUMA y no el valor verdadero.

Regla Empírica N° 1. El aumento de la densidad del circuito sobre la pastilla, llevara a un correspondiente incremento en el numero de terminales entrada / salida I/O, hasta que la lógica sobre la pastilla alcance un nivel funcional. Luego a partir de allí disminuirá el numero de terminales.

La relación terminales a circuitos sobre la pastilla de la figura 1 si el diseñador hubiera dispuesto el circuito sobre 2 pastillas como en la **figura 8.5**. El numero de terminales por pastilla habría aumentado de 5 a 7 mientras que el numero de circuitos por pastilla habría disminuido de 8 a 4. Peor aun de haber puesto solo uno de los 3 circuitos de entrada de la **figura 8.5** sobre una única pastilla, esta hubiera tenido 4 terminales y solamente un circuito. El ejemplo resulta obvio al representarlo gráficamente. Como se observa en la

figura 8.6. a medida que aumenta la densidad de circuitos por pastilla hay incrementos y caídas en forma de diente de sierra en la cantidad de terminales hasta alcanzar un nivel funcional. El ejemplo se repite con mayores incrementos en la densidad del circuito. A pesar del uso correcto de la regla N° 1 el problema de la densidad de terminales o de interconexiones seguirá siendo el factor crítico.

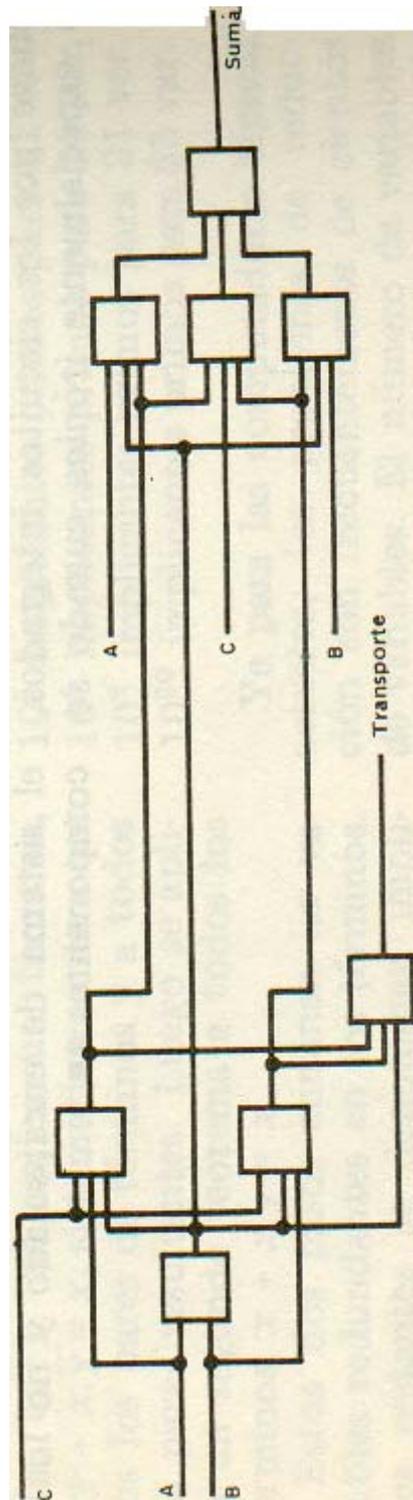


Figura N° 8.5 Sumador Completo en dos Pastillas

En la **figura 8.5** el circuito de la **figura 8.3** se redistribuyó en dos pastillas con cuatro circuitos cada una. Así se necesitara el triple de conexiones entrada-salida I/O.

Regla Empírica N° 2. *Las trayectorias de control tienden a tener relaciones terminal-circuito mas elevadas que las de datos. Tienden a extenderse mas, emitir y recibir señales de mas lugares que las trayectorias de datos.* Dicho de otra manera para una relación dada de terminales a circuito, se puede como regla poner mas lógica de en camino de datos, que lógica de control sobre una pastilla. Aquí la relación terminales a circuitos es la misma pero la cantidad de lógica es diferente. Por supuesto hay muchas excepciones a estas reglas.

Regla Empírica N° 3. *Cuando se cruzan sobre una pastilla las trayectorias de control y de datos, los terminales adicionales necesarios para estas ultimas, pueden aumentar más rápido que los de las trayectorias de control encapsuladas.* Un ejemplo de

encapsulado funcional que confirma esta regla es el desplazador de 4 vías de la **figura 8.7**. Si el primer bit fuera encapsulado sobre una pastilla, requería 4 líneas de control y 5 de datos (4 de entrada y 1 de salida). Pero si el 1º y 2º bit estuvieran sobre la

pastilla,

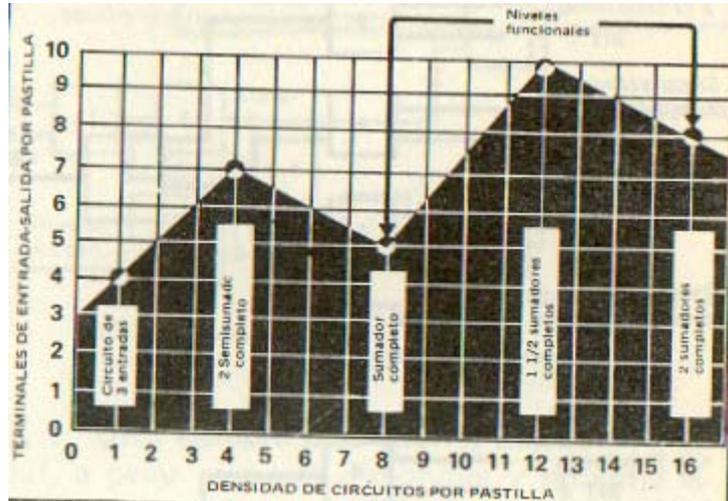


Figura Nº 8.6 Conexiones VS. Densidad de Circuitos

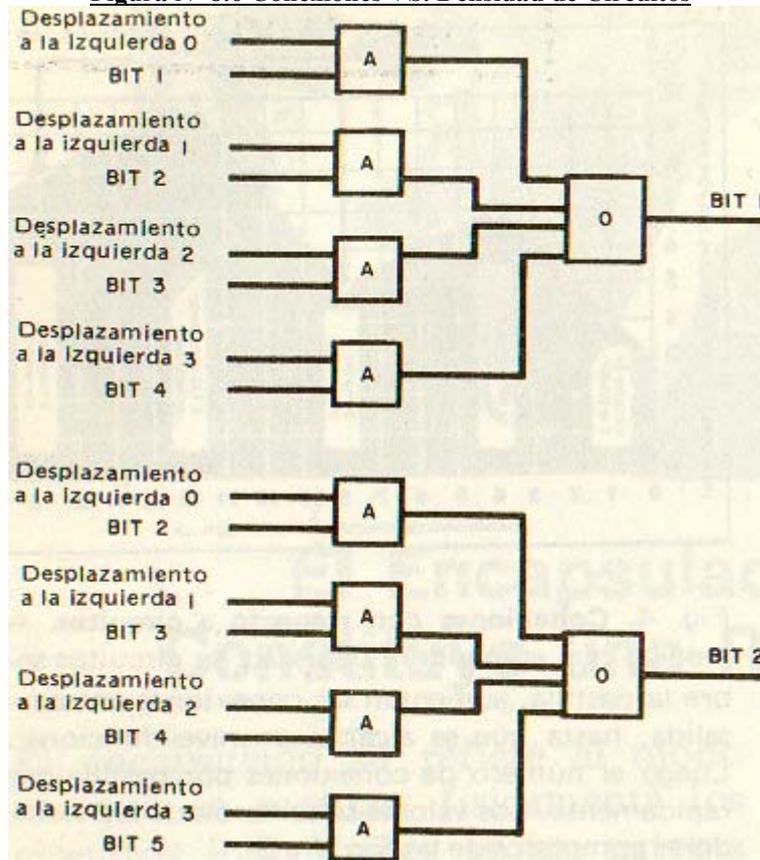


Figura Nº 8.7 Cuando se Juntan las Rutas de Control y Datos Cada tipo de ruta se comporta de manera distinta ante incrementos en la complejidad de la pastilla. En este desplazador de 4 vías el número de terminales de las trayectorias de datos se duplica por cada bit agregado, pero el número de terminales de las trayectorias de control permanece igual. El propósito de este circuito es desplazar los bits desde cero a tres posiciones del registro a la izquierda.

se necesitarían 7 líneas de datos, mientras que permanecería constante el número de líneas de control; las conexiones de control para el primer bit sobre la pastilla se extenderían al 2º bit. De este modo se requieren para el primer bit de desplazamiento 9 terminales y 5 circuitos; para los dos primeros bits: 11 terminales y 10 circuitos; para los tres primeros: 13 terminales y 15 circuitos y así sucesivamente. El conocimiento de la regla Nº 3 ayudara al diseñador a sacar ventaja de situaciones similares a ésta, donde permanezca baja la densidad terminal-control.

Regla Empírica Nº 4. La codificación de la señal seguida por descodificación de circuitos de control sobre pastilla, puede disminuir los terminales de entrada. Si se hubiera utilizado codificación en las trayectorias de control, los 4 terminales de control que se ven en la **figura 8.7** se podría haber reducido a 2; pero habría sido necesario agregar dos circuitos sobre la pastilla como en la **figura 8.8**.

para decodificar las señales de control. Esta regla se usa generalmente solo con los caminos de control puesto que los de datos están codificados como para lograr un almacenamiento de datos económico. Al codificar líneas el diseñador encontrara algunas veces que los niveles lógicos agregados tienden a hacer más lenta su computadora, de modo que la codificación debería hacerse con cuidado. Este es un ejemplo del problema general con que se encontraran los diseñadores al comienzo de su trabajo en este campo. Las consideraciones de encapsulado están en contra de los beneficios que se derivan de un gran incremento en la densidad.

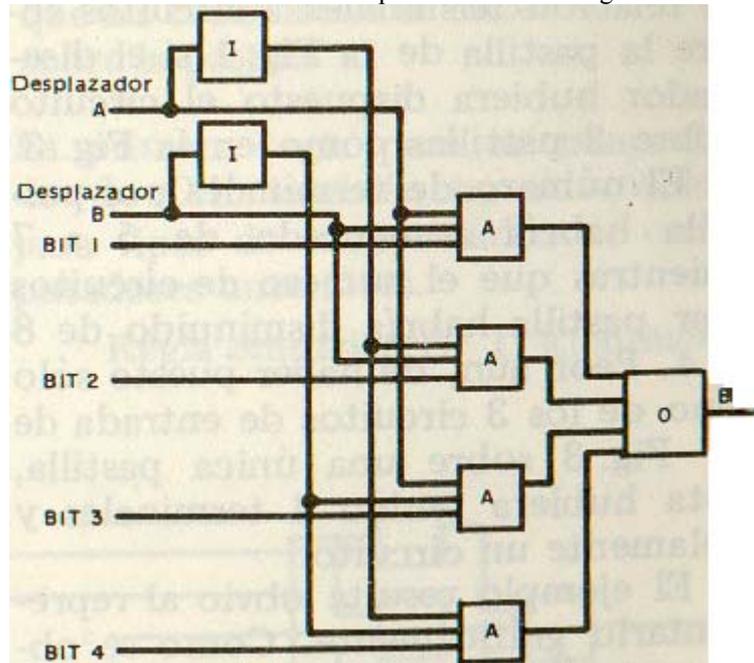


Figura N° 8.8 Sumando Circuitos sobre la Pastilla para ahorrar conexiones. Si se codificara la señal de control, el desplazador de la figura 8.7 necesitaría solo dos entradas de desplazamiento en lugar de 4. Deben sumarse a la pastilla 2 inversores para decodificar las señales.

Regla Empírica N° 5. Frecuentemente los intentos para obtener mayores incrementos de densidad, llevaran a aumentos tanto en el numero de circuitos sobre una pastilla, como en el numero de niveles lógicos requeridos. Hay varias razones para esto. Un ejemplo es la codificación de líneas consecuencia de las limitaciones de terminales, tal como se menciono anteriormente. La **figura 8.8** ilustra lo que ocurre para el desplazador en una pastilla, cuando se necesita codificar las líneas de control debido a una limitación del numero de terminales a 7. Para ahorrar los dos terminales necesarios, se suman al total dos circuitos y tal vez un nivel lógico. En la **figura 8.9** se da otro ejemplo donde se inserta un inversor en el camino de datos de los bits de memoria para ahorrar un terminal en el modulo de disparo. El diagrama se dispuso para acentuar el hecho que el complemento del dato esta disponible, convenientemente en los bits de memoria. Sin embargo el complemento se crea nuevamente sobre la pastilla mediante el inversor adicional para ahorrar un terminal. Se puede agregar ciertos refinamientos como transporte rápido para elevar la velocidad del sumador, desplazamiento paralelo en lugar de serie y registros apilados para separar la memoria o dispositivos de entrada-salida.

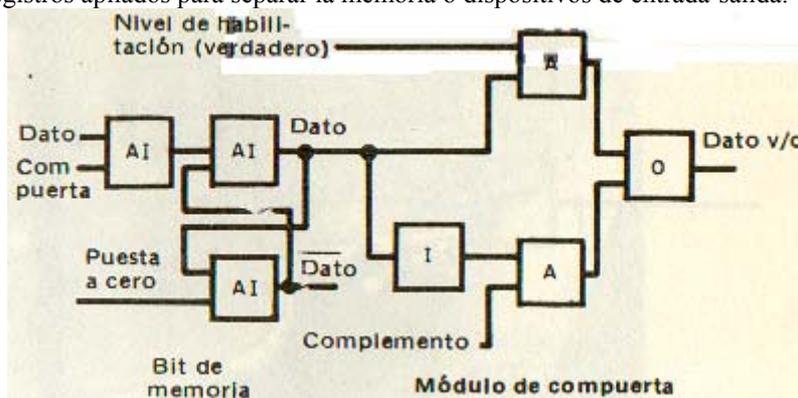


Figura N° 8.9 Otro Ejemplo para Ahorrar una Conexión

Aquí a pesar que esta disponible y próximo el complemento del dato, el diseñador decide ahorrar un terminal de conexión produciendo de nuevo el complemento sobre la pastilla, mediante la adición de un circuito inversor. El modulo de disparo que se muestra aquí como una pastilla individual, podría ser parte de una pastilla mayor.

El diseñador de CI debe recurrir a encapsulados funcionales. Tendrá que elaborar tantas interconexiones de bloques de circuitos como sea posible de tal suerte que se reduzca al mínimo el numero de terminales. En la **figura 8.10** se ilustra lo inevitable del encapsulado funcional para pastillas monolíticas. La pastilla A restringida a 10 terminales, puede incorporar tres circuitos de uso general. Si se ponen mas circuitos sobre la pastilla sin exceder la limitación de 10 terminales y sin restricciones en la utilización de los circuitos, la única alternativa consiste en utilizar interconexiones funcionales como en la pastilla B. El fabricante de dispositivos que haga

pastillas (chips) funcionales de alta densidad como sumadores binarios completos, dos Y, manejando una O con un inversor, un flip-flop ó un registro de posición. En las computadoras actuales hay muy pocas combinaciones lógicas de niveles de funcionales que se

usen de modo repetido en forma suficiente como para justificar que se hagan en forma integrada.

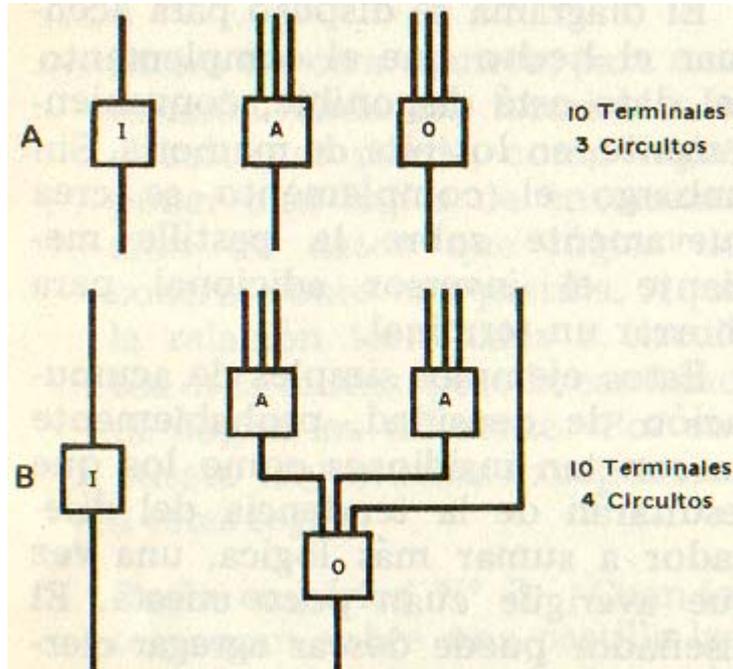


Figura N° 8.10 Valor del Encapsulado Funcional

El único modo de colocar mas circuitos sobre la pastilla A con 10 terminales, es a través de conexiones funcionales en el encapsulado, como sobre la pastilla B.

Debe notarse que los ejemplos ya citados fueron elegidos de las trayectorias de datos, los cuales tienen alrededor de 10 circuitos o menos. Es mucho más difícil encontrar funciones de repetición en las trayectorias de control o áreas funcionales que tengan 20 o más circuitos. El diseñador no tiene que resolver con urgencia el problema de encontrar áreas funcionales repetidas. Las posiciones de registro difieren entre computadoras, entre registros, entre bits del mismo registro. Para definir un registro de posición, se debe determinar primero el número de fuentes de las cuales se leerán los datos. Esto determina el número de compuertas de entrada como se muestra en la **figura 8.11**. Luego hay que considerar las compuertas de salida. En general los datos de registro se conducen a diferentes lugares. Esto lleva a variaciones como las representadas en la **figura 8.12**. Hay muchas combinaciones de requerimientos de compuertas entrada-salida.

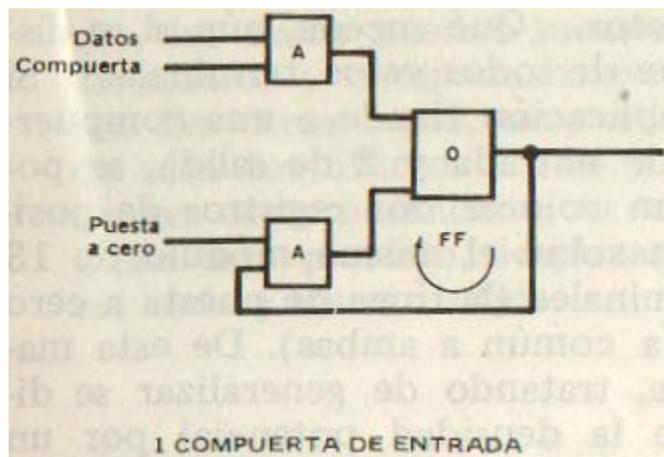


Figura N° 8.11.1 La Diversidad en una Unidad Normalizada 1 Compuerta

Hay variaciones típicas para las compuertas de entrada a un registro de posición funcional. Esta ilustra porque las llamadas unidades normalizadas no son fáciles de adaptar para encapsulados funcionales normalizados sobre pastillas monolíticas.

Supongamos que se desea basarse sobre un registro de posición general, con tres compuertas de entrada y tres de salida como en la **figura 8.13**. Quedan aun para resolverse dos problemas de definición de registro. Primero las tres compuertas de salida podrían, o bien estar todas fuera de fase con los datos ó con sus complementos o ser una combinación de ambas. La elección diferirá de aplicación a aplicación a todo lo largo del diseño del computador. Obsérvese que sucede si se desea abarcar todas esas posibilidades en un diseño general. Se han usado muchos terminales, como ser 13 terminales. Supongamos disponer de estos terminales. Si la aplicación tiende a una compuerta de entrada y 2 de salida, se podrían colocar dos registros de posición sobre el mismo modulo de 13

terminales en donde la línea de puesta a cero sería común a ambas. De esta manera tratando de generalizar se divide la densidad potencial por un factor de dos. Este es un problema recurrente. Existen muchos casos especiales en una computadora, donde se necesitan terminales adicionales. En los sumadores binarios completos los circuitos de suma rápida usan salida además de la suma y transporte, de tal modo que el transporte serie puede puentear una etapa que de otra manera debería propagarlo. La prueba de circuitos requiere salidas adicionales. Se puede diseñar una posición de sumador tan general que incluirá los terminales para esas conexiones especiales, pero solo a expensas de la densidad. Se supone que se limita solo el número de terminales. Además hay condiciones especiales en las posiciones finales de estructuras iterativas como sumadores. Cada extremo de un sumador puede tratarse en forma diferente de las otras posiciones repetidas del mismo. Se puede reservar un terminal en la entrada de transporte de menor orden para agregar un "1" y lograr suma en "complemento a 2" ó manejar un transporte de orden superior para obtener un sumador de complemento a uno y complemento a dos, segunda compuerta utilizada.

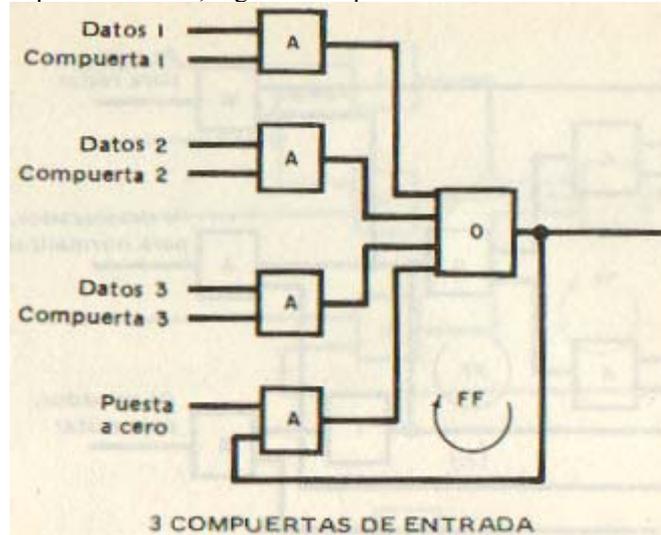


Figura N° 8.11.2 La Diversidad en una Unidad Normalizada: 3 Compuertas

Hay variaciones típicas para las compuertas de entrada a un registro de posición funcional. Esta ilustra las llamadas unidades normalizadas no son fáciles de adaptar para encapsulados funcionales normalizados sobre pastillas monolíticas.

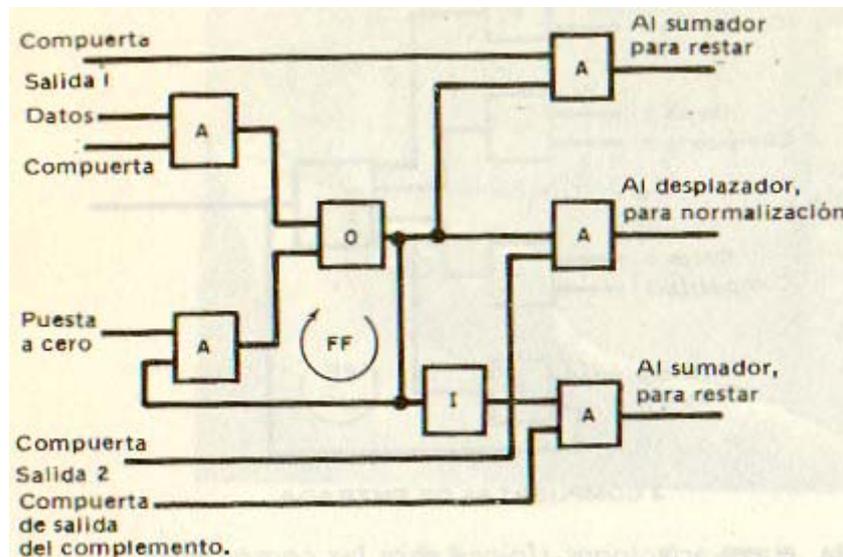


Figura N° 8.12 Mayor Diversidad en una Unidad Normalizada.

Aquí la diversidad esta en los Componentes de Salida.

Las condiciones finales de los registros, tales como el bit de signo o de exponente, también pueden tratarse de forma diferente. Por ejemplo, los datos pueden sacarse como verdaderos y complementarse el signo. Tal vez la elección que exige más del diseñador de lógica funcional sea si sumar redundancias, incrementar la flexibilidad y uso de un módulo, o si encontrar más formas de utilizar una función dada. La figura 8.14(a) muestra un módulo de memoria que se transforma en combinacional al polarizar a cero lógico una entrada. Este se ilustra en la figura 8.14(b).

El módulo de la figura 8.15 es ligeramente más elaborado, con las entradas A, B y una línea de control C que contiene una compuerta Y algunas veces redundante. Si $C = 1$, cumple la función de un decodificador completo de dos bit. De este modo se logra un uso mucho más general con solo un pequeño aumento de la complejidad del circuito. Muchas de las máquinas actuales se construyen totalmente con circuitos NO-Y sin tener en cuenta los circuitos especiales tales como excitadores de neon, amplificadores de sensores, etc.

Regla Empírica N° 6 Para diseñar una máquina con pocos bloques funcionales, imponga el patrón lógico fijado por estos bloques dentro del modelo. Así para diseñar una computadora con circuitos NO-Y ó NO-O, se comenzara con NO-Y ó con NO-O. Para

diseñarla con circuitos lógicos funcionales se debe comenzar con dichos circuitos. Por supuesto deben idearse de alguna manera los circuitos integrados funcionales equivalentes a compuertas NO-Y y NO-O.

8.2.1 Flexibilidad de la Lógica

La matemática digital esta casi en su totalidad sin estructura, es una matemática de combinaciones. Los algoritmos de reducción concluyen en una búsqueda aleatoria exhaustiva, después de haberse aplicado los pocos y simples teoremas Booleanos. Para implementar cualquier función típica existen innumerables caminos razonables, pero el numero de caminos aumenta exponencialmente con el tamaño de las funciones.

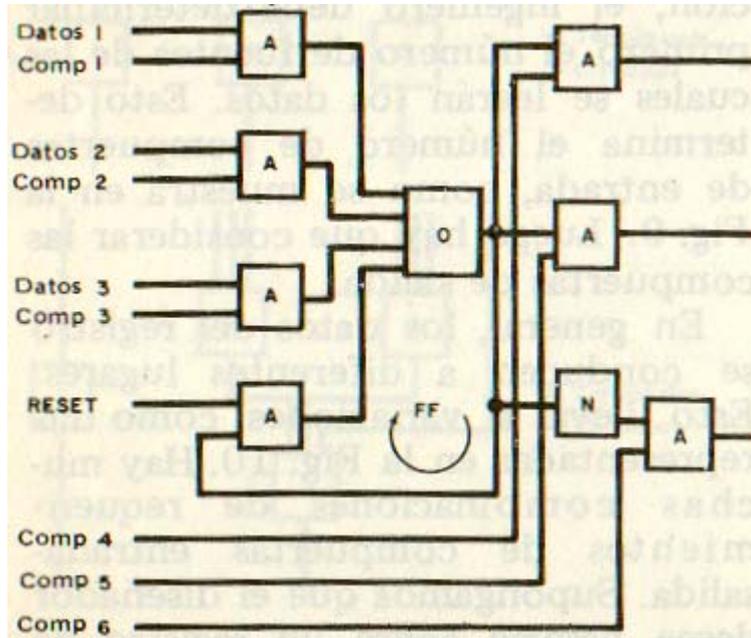


Figura NC 8.13 Un intento para un Encapsulado Normalizado.

Para lograr un registro de posición universal, el diseñador agrega compuertas, algunas de las cuales se usaran en ciertos lugares de la computadora.

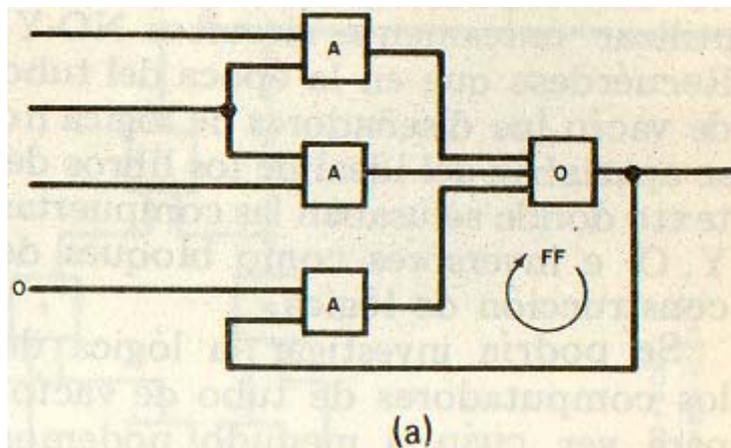


Figura N° 8.14(a) Pastilla de uso Doble

Este modulo de memoria simple se transforma en un modulo de combinación.

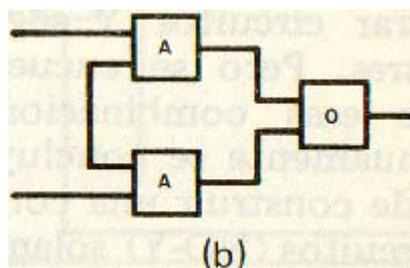


Figura N° 8.14(b) Pastilla de Uso Doble

Este modulo de memoria simple, si se la polariza una de sus entradas al cero lógico.

Las soluciones son raras veces únicas y que hay muchas que se acercan al mínimo buscado. Tómese el siguiente problema simple que tiene tres funciones de tres variables:

$$f_1 = \overline{A}D + \overline{A}\overline{B} \quad ; \quad f_2 = BD + A\overline{B}D \quad ; \quad f_3 = A + BD$$

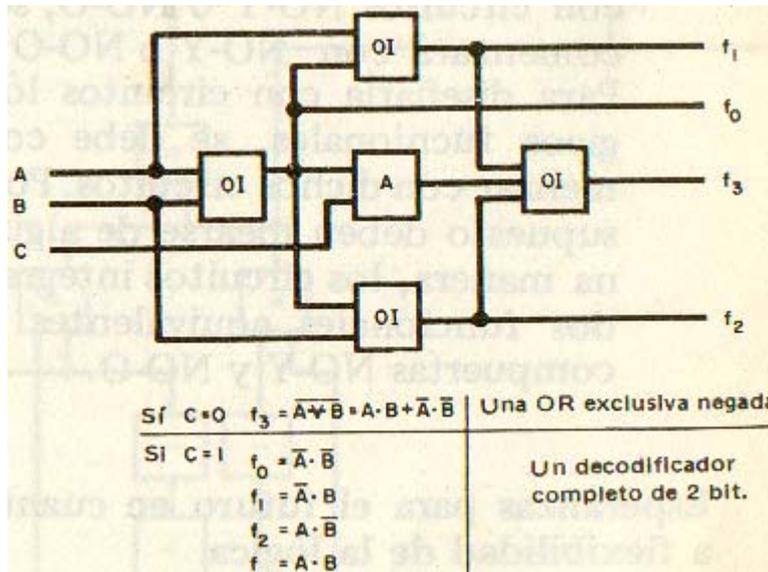


Figura N° 8.15 Pastilla de Uso Múltiple.

Bajo el control de la Entrada C, la compuerta Y transforma al modulo de una O no exclusiva a un codificador completo de dos bits.

A primera vista puede parecer difícil lograr varias implementaciones para estas ecuaciones pero en la **figura 8.17** se representan 8 maneras distintas de implementarlas con soluciones de 7 a 9 circuitos pudiendo haber otras posibilidades mas, es decir que hay una gran flexibilidad. La solución de 9 circuitos de la parte central superior de la **figura 15** podría ser la mejor elección si se tiene una pastilla funcional semejante a la de la **figura 8.18**. Cuanto mayor es la extensión del objetivo del problema, mayor es el numero de soluciones posibles. En esto hay un artificio fundamental de diseño.

Regla Empírica N° 7. Siempre que un problema no parezca admitir una solución, amplíe el área de definición.

Esta regla se empleo de un modo simple en la **figura 8.8**. Para obtener un bit del desplazador el que requiere 5 líneas de datos 4 líneas de control, sobre un modulo de 7 terminales se amplía el problema para incluir los controles que generan las líneas de desplazamiento, recodificando las señales de control y reduciendo sus entradas de 4 líneas a 2. Para ilustrar el modo en que aumentan las posibilidades de elección para el diseñador de la lógica, supóngase que se debe armar un contador de n estados que contara pulsos de reloj de 1 a n . Se podría examinar las dos soluciones extremas:

** Usar el mínimo numero de lazos de realimentación ($\log_2 n$) en una disposición de contador binario directa.

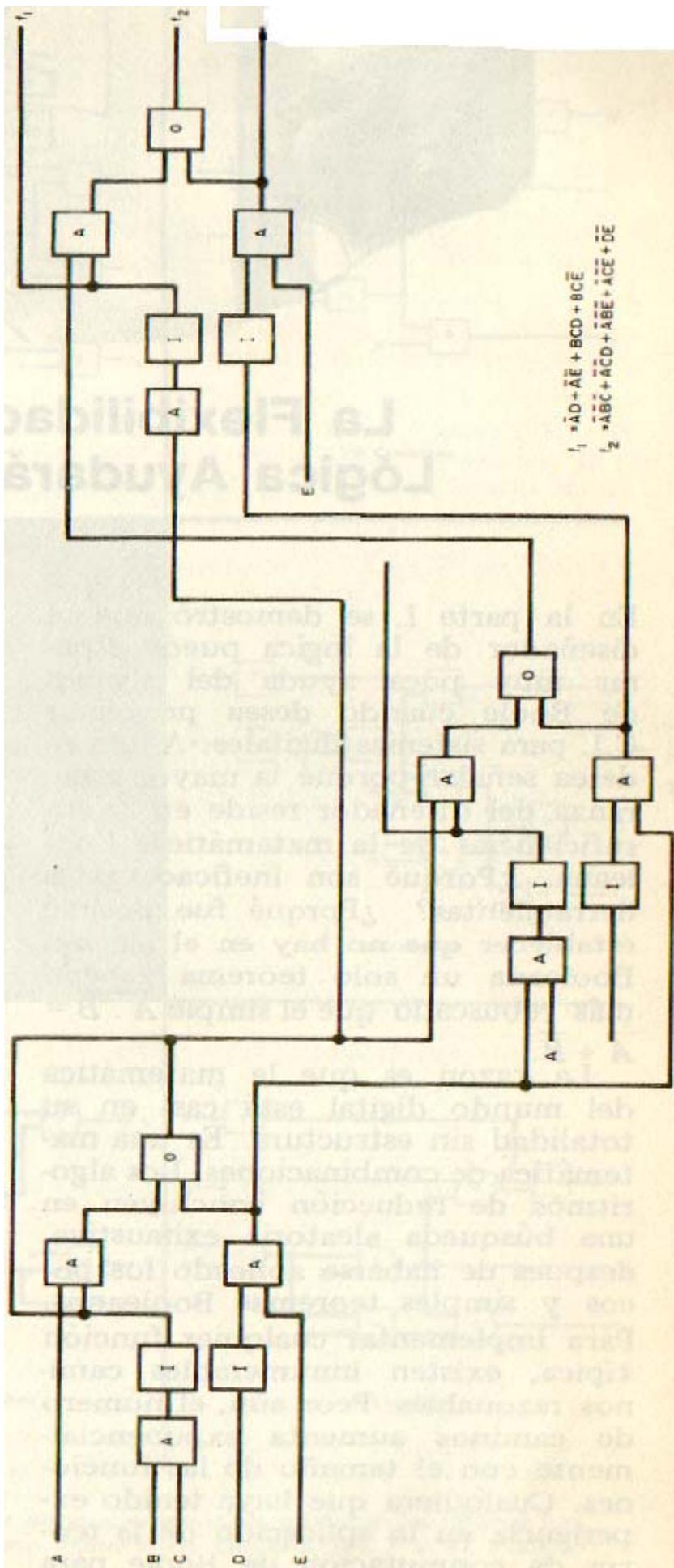
** Emplear un contador en anillo de n etapas, que cuente en un código: 1 de n . Este tendrá " n " flip-flop en serie. Se accionara un flip-flop por vez y la etapa accionada se desplazara una posición con cada pulso reloj. Estas dos alternativas se ilustran en la **figura 8.19 y 8.20** para $n = 4$. El numero de códigos posible entre estos dos extremos es muy grande y mayor aun que el numero de variedades realmente en uso. Por ejemplo para un contador de 8 estados se puede elegir un código cualquiera de entre 3 y 8 bits de longitud. Mas aun se pueden elegir varios códigos para cada longitud del mismo. El código binario es solo uno de los varios de 3 bits, y se disponen mas posibilidades a medida que se agregan hasta 8 realimentaciones redundantes. Sin tener en cuenta cual de todos estos códigos se elige, hay varios modos de diseñar la lógica de realimentación y salida. En códigos redundantes pueden usarse estados cuyo valor no interesa en gran cantidad de formas. La lógica de realimentación y salida puede hacerse en dos niveles ó factorarse en varios de estos. Para hacer un contador seguro, se puede elegir un código corrector de errores múltiple. Este debería incrementar aun más el numero de códigos posibles puesto que en tal caso cada estado puede representarse por mas de un código.

8.2.1.1 Como Puede Afectar al Diseño Lógico el Numero de Elementos de Almacenamiento.

La topología de interconexión cambia de manera difícil de entender. El numero de circuitos variara de una solución a otra, al igual que muchos otros parámetros. Se puede alterar radicalmente la lógica en los niveles de organización más bajos de la computadora, con cambios pequeños en los niveles altos. Hay una regla simple que ayudara en la búsqueda de estas interconexiones.

Regla Empírica N° 8. Incrementar el numero de elementos de memoria flip-flop registros de datos, disparadores de control, tiende a simplificar la complejidad de la interconexión y reduce el tamaño de las limitaciones funcionales en las que caen los requerimientos de terminales. Considérese la diferencia topológica entre el contador de la **figura 8.19** y el de la **figura 8.20**. El aumento en el numero de posiciones de memoria esta compensado por la disminución en el tamaño de los bloques funcionales más pequeños con limitados requerimientos de terminales.

Regla Empírica N° 9. Factorar la lógica funcionalmente. La comparación entre las **figuras 8.21(b)** y **figura 8.21(a)** indicara como puede aplicarse esta regla. En la forma de dos niveles de interconexiones son complejas, pero se simplifican con un **factoro**



funcional.

Figura N° 8.16 Utilización de Pastillas Funcionalmente Completas.

Tres bloques funcionalmente completos, se usan para sintetizar una función de dos salidas complejas. Debería ser posible construir una computadora completa con tales pastillas comunes.

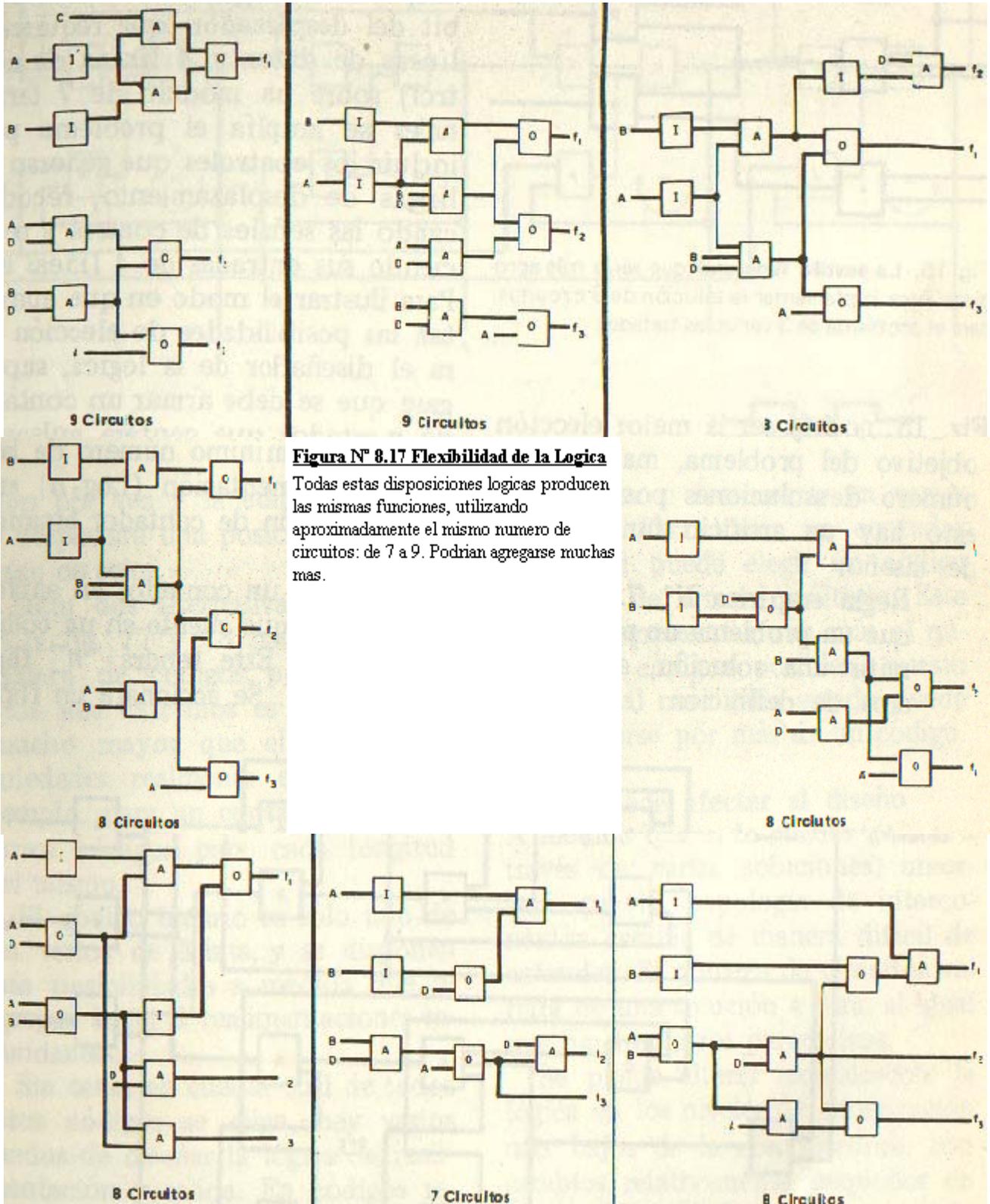


Figura N° 8.17 Flexibilidad de la Logica

Todas estas disposiciones logicas producen las mismas funciones, utilizando aproximadamente el mismo numero de circuitos: de 7 a 9. Podrian agregarse muchas mas.

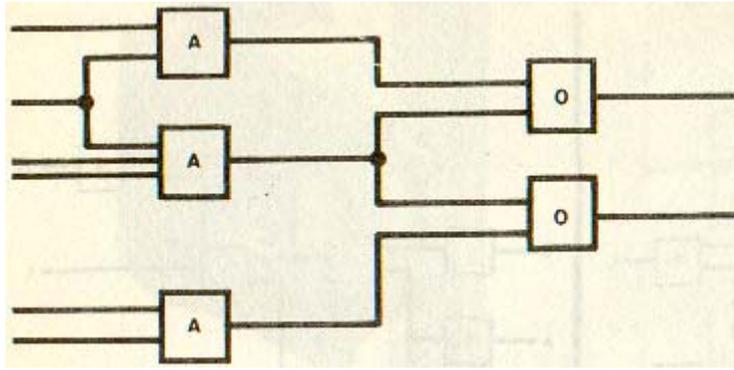


Figura N° 8.18 La Pastilla Funcional

La que sería más apropiada para implementar la solución de 9 circuitos, para el problema de tres variables tratado.

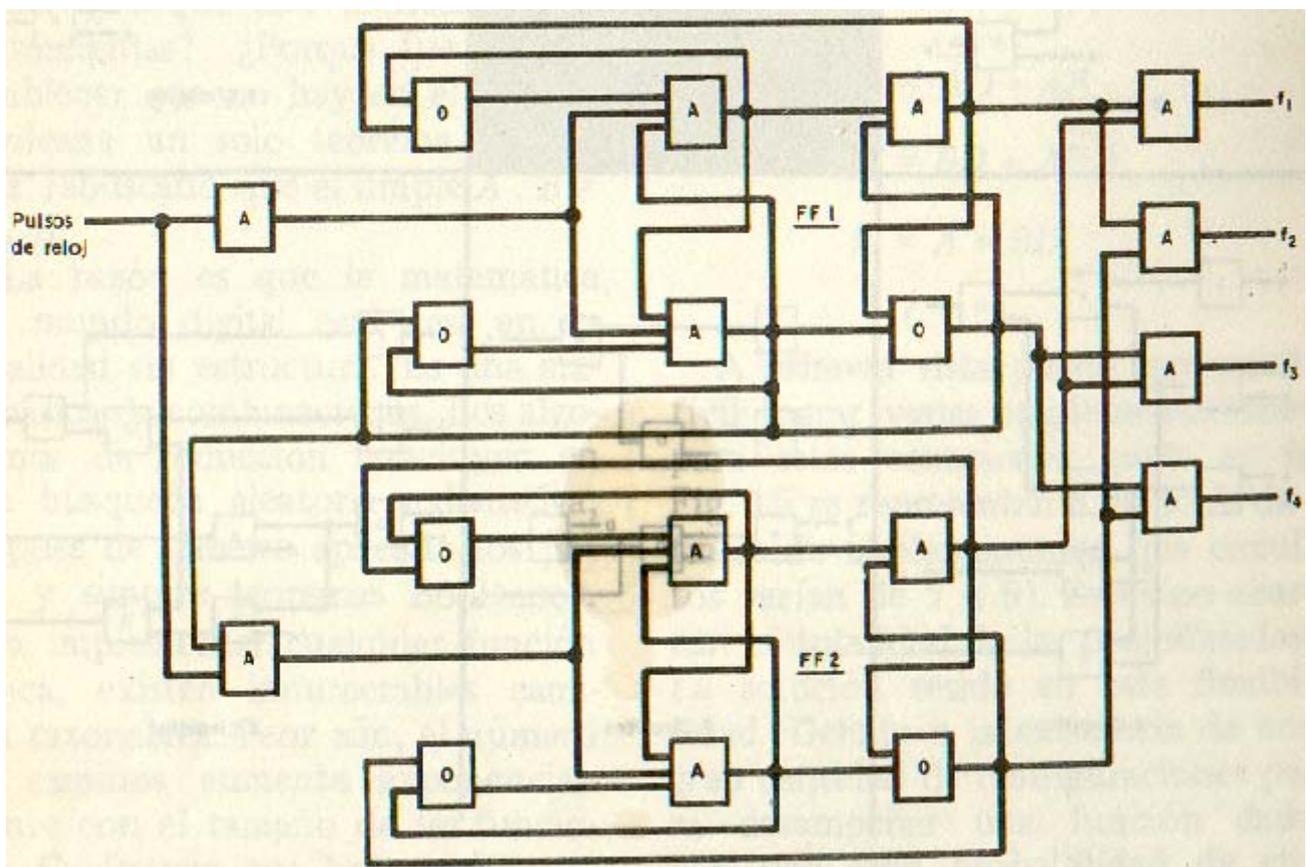


Figura N° 8.19 Contador de 4 Estados.

Realizado mediante 2 flip-flops que cuentan los pulsos de reloj en binario.

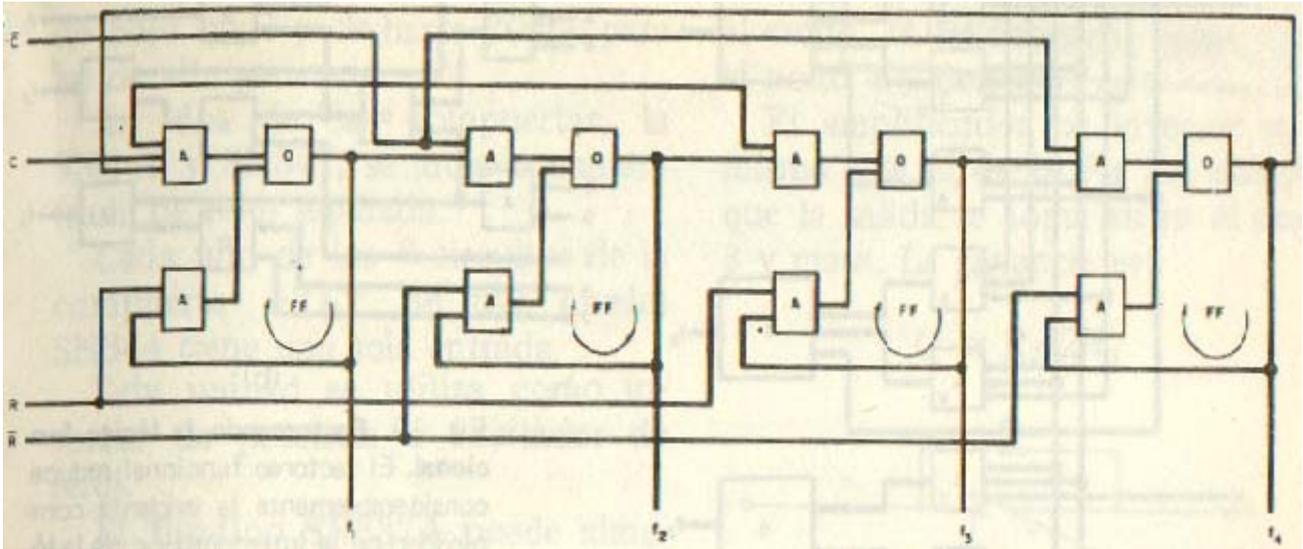


Figura N° 8.20 Contador de Cuatro Estados.

Realizado mediante un contador en anillo de 4 etapas. Se acciona solo un flip-flop por vez y el estado accionado se desplaza con cada pulso de reloj al flip-flop siguiente.

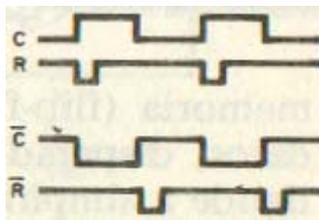


Figura N° 8.20.1 Contador de 4 Estados: Desplazamiento.

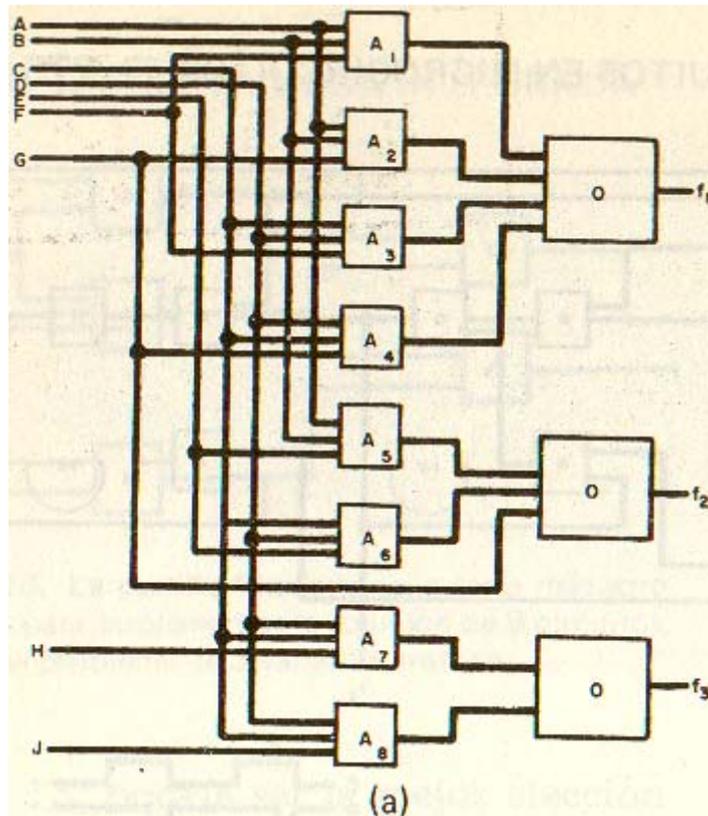


Figura N° 8.21(a) Factoreando la Lógica Funcional.

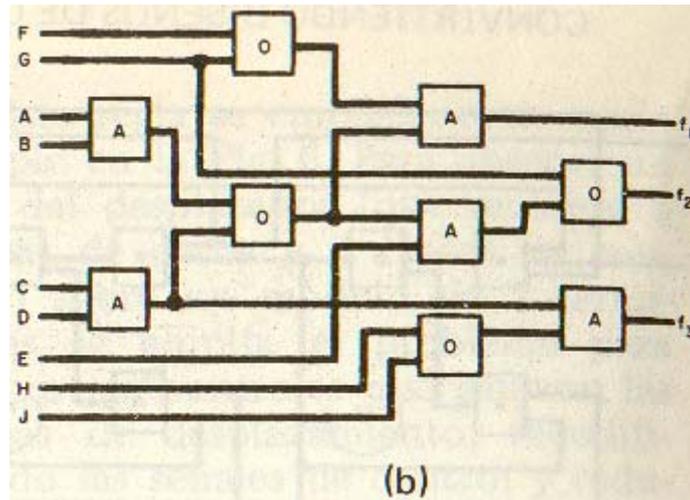


Figura N° 8.21(b) Factorando la Lógica Funcional.

El factoro funcional reduce la complejidad de la interconexión de la lógica de dos niveles de la figura 8.21(a) a la 8.21(b).

8.3 INTEGRACION DE UN CIRCUITO NO-O

Los efectos inherentes al proceso de integración y difusión pueden limitar la velocidad de circuitos lógicos. Se trata de mejorar el rendimiento. Hemos seleccionado un circuito específico de probada confiabilidad, buen rendimiento y alto grado de control en su procesamiento, para llegar a un circuito integrado óptimo.

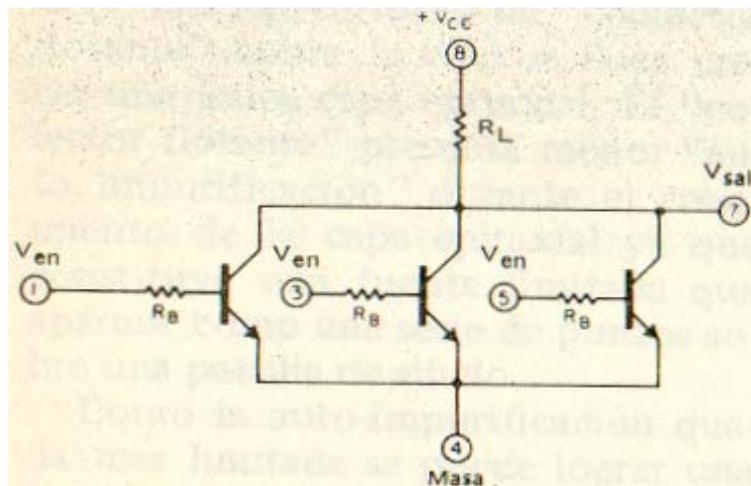


Figura N° 8.22 Compuerta NO-O de DCTL Modificada usada en la construcción Integrada.

El circuito equivalente eléctrico mostrado en la **figura 8.22** es una compuerta NO-O de lógica de transistores de acoplamiento directo modificada DCTL. El cero lógico es 0,2 volt y el uno lógico + 0,8 volt. El pulso "1" en las entradas 1, 3, 5 ó cualquier combinación de las mismas llevara a uno o más transistores a la saturación y producirá en la salida en terminal 7, un "0". Algunos factores de diseño que se deben considerar antes de calcular las distribuciones de difusión y las configuraciones de mascarar son:

** Confiabilidad; ** Flexibilidad en el diseño del circuito: gran abanico de salidas; ** Limites de temperaturas; ** Velocidad de conmutación; ** Inmunidad al ruido; ** Disipación de potencia; ** Rendimiento de producción..

Existe una incompatibilidad entre algunos de estos factores, por ejemplo Alta Velocidad de conmutación con relación a un gran abanico de salida y baja disipación de potencia. Los circuitos integrados utilizan las mismas técnicas de fabricación que los transistores planares de silicio. Un conocimiento de las formas de falla del TR y las correcciones apropiadas pueden hacer mínima la repetición de fallas similares. En el diseño de un CI hay que aplicar técnicas que logran una superficie pasivada y uniones por termo compresión confiables (ver sección).

8.3.1 Una Caja Negra Necesita Especificaciones Determinadas

Cuando se están fijando las especificaciones del circuito, deben formularse las siguientes preguntas:

- ** ¿ Que tipo de TR se necesita: distribución de difusiones, configuración geométrica, etc. ?
- ** ¿ Cuales son los valores centrales de la resistencia de carga R_L y de los resistores de base R_B ?
- ** ¿ Que tolerancia se puede permitir en los valores de los parámetros de los TR y de R_L y R_B ?

Debemos fijar los objetivos que debe cumplir la compuerta NO-O vista como "Caja Negra". Abanico de Entrada = 3; Abanico de Salida = 5 mínimo; Disipación de Potencia = 15mW máxima; Retardo de Propagación = 25 nseg máximo; Inmunidad al Ruido = 0,3 volt mínimo; Tensión de Trabajo Típica = + 3 volt; Tensión de +Vcc a masa = 10 volt máxima. El objetivo de inmunidad al ruido requiere que cuando un TR esta en saturación, una señal de 0,3 volt superpuesta a la tensión de salida, no ponga en conducción al TR

del circuito siguiente del sistema. Se supone que una compuerta NO-O maneje a otra. Ya que la mayoría de los TR entran en conducción con $V_{be} = 0,6 - 0,7$ volt deberíamos tener $V_{ce\ sat} = 0,3 - 0,4$ volt. Idealmente deberíamos diseñar el CI con la menor $V_{ce\ sat}$ posible. Se puede obtener un valor mínimo de RL a partir de los requerimientos de disipación de potencia = 15 mW a 3 volt dan un consumo de corriente máxima de 5 mA. Esto implica:

$$R_{Lmin} = \frac{3 - V_{CE-SAT}}{0,005} \cong 530\Omega \quad (1)$$

Si el control de la difusión mantiene la RL al $\pm 15\%$ el valor central de RL se fijara en 620 Ω . El valor máximo será 720 Ω . Este calculo indica también que en un caso típico circulan 5 mA por un TR saturado. Para lograr el máximo abanico de salida se trataría de tener al TR saturado con una corriente de base I_b lo menor posible lo cual implica un TR de alto h_{fe} . También se busca que la curva h_{fe} respecto a I_c tenga su valor $I_c = 5\text{ mA}$. A partir de consideraciones de velocidad de conmutación: máximo retardo de propagación = 25 seg., se deduce que el TR deberá ser rápido con f_T de por lo menos 500 MHz. El TR debería ser impurificado con oro para disminuir el tiempo de almacenamiento de portadores minoritarios. Si R_b es pequeña los TR tomaran demasiada corriente de base de las etapas previas. Esto no solo reduce el abanico de manejo de salida de cada compuerta, sino que también puede ocasionar que una base tome toda la corriente dejando sin excitación a las demás como se ilustra en la **figura 8.23**. El máximo valor de corriente disponible de la compuerta A esta limitado a:

$$I_d = \frac{V_{CC} - V_{en}}{R_L} \quad (2)$$

Esta compuerta excita a otras 5 que tienen características de entrada levemente distintas. La compuerta B1 tiene $V_{be\ sat}$ mas baja del grupo y B5 la mas alta. Por lo tanto puede suceder que las compuertas B1 a B4 tomen tanta I_b que prácticamente se llevan toda la corriente de salida de la compuerta A y no quede suficiente para mantener en conducción a B5. En números redondos un TR de silicio esta saturado con $I_c/I_b = 10$ ó $I_b = 0,5\text{ mA}$. En ese caso $V_{be\ sat} = 0,7$ volt y es evidente que no deseamos agregar una caída de tensión apreciable sobre R_b . Si fijamos esta caída de tensión serie en 0,2 volt, resulta $R_b = 400\ \Omega$. La **figura 8.24** ilustra que sucede si se ponen en paralelo dos TR, uno con $V_{be\ sat} = 0,7$ volt y el otro con $V_{be\ sat} = 0,8$ volt. La corriente de entrada al 2º TR es de solo 0,25 mA pero este se mantiene saturado mientras h_{fe} sea mayor que 20

La selección final de $R_b = 400\ \Omega$ se hizo luego de un análisis de peor caso del circuito. Se debe examinar que sucede cuando todos los componentes del circuito toman los valores limites del peor caso. Se debe considerar la variación de estos parámetros con la temperatura. También hay que examinar las características del dispositivo durante los transitorios, junto a los elementos parásitos que forman parte de un CI. **Por ejemplo:** aumentar R_b implica mejorar las características del abanico de salidas, pero el circuito se haría mas lento y no se podría cumplir la condición de retardo de propagación menor que 25 nseg. La **tabla 1** resume todos los parámetros de diseño que se analizaron y algunos que se derivan de los anteriores.

8.3.2 Planeamiento del Diseño del Circuito y Configuración de las Mascaras

Las características eléctricas buscadas se pueden lograr con un transistor cuya configuración geométrica sea la de la **figura 8.25**. Esta unidad tiene un ancho de base de 0,8 μm y suficiente impurificación con oro para asegurar un tiempo de almacenamiento de 20 μseg . Fue diseñado para hacer mínima la caída de tensión transversal en la región de colector y obtener una resistencia de saturación menor que 40 Ω . Se difundió una región con alta concentración tipo n alrededor de 3/4 de la región de base. Además esto actúa como un obturador de canal aumentando así la confiabilidad del circuito.

Las Resistencias de carga R_L y de base R_B se fabrican de la misma difusión, tipo p que la base. Controlando la relación l/w de longitud a ancho en la plantilla queda ajustado su valor. Debe notarse que

$$\rho_L \frac{l}{w} \quad (3)$$

y la resistencia laminar L es del orden de 100 Ω/cuadro . El hecho que los resistores estén en el circuito a un potencial mas alto que los transistores, implica que los primeros deben situarse en una región aislada separada tipo n . La **figura 8.26** es una selección transversal del circuito que muestra un transistor y un resistor. Se obtiene la aislacion eléctrica polarizando en inversa la juntura pn entre el colector tipo n del transistor y el sustrato tipo p . Las distintas regiones tipo n quedan completamente aisladas por una **difusión inicial tipo p (aislacion)** que es profunda como para llegar al sustrato tipo p . Los distintos elementos se interconectan por medio de líneas de aluminio en la superficie superior.

8.3.3 Los Ensayos de Tensión de Saturación

En la **tabla 2** se dan las características medidas en dos dispositivos construidos en base a los datos anteriores.

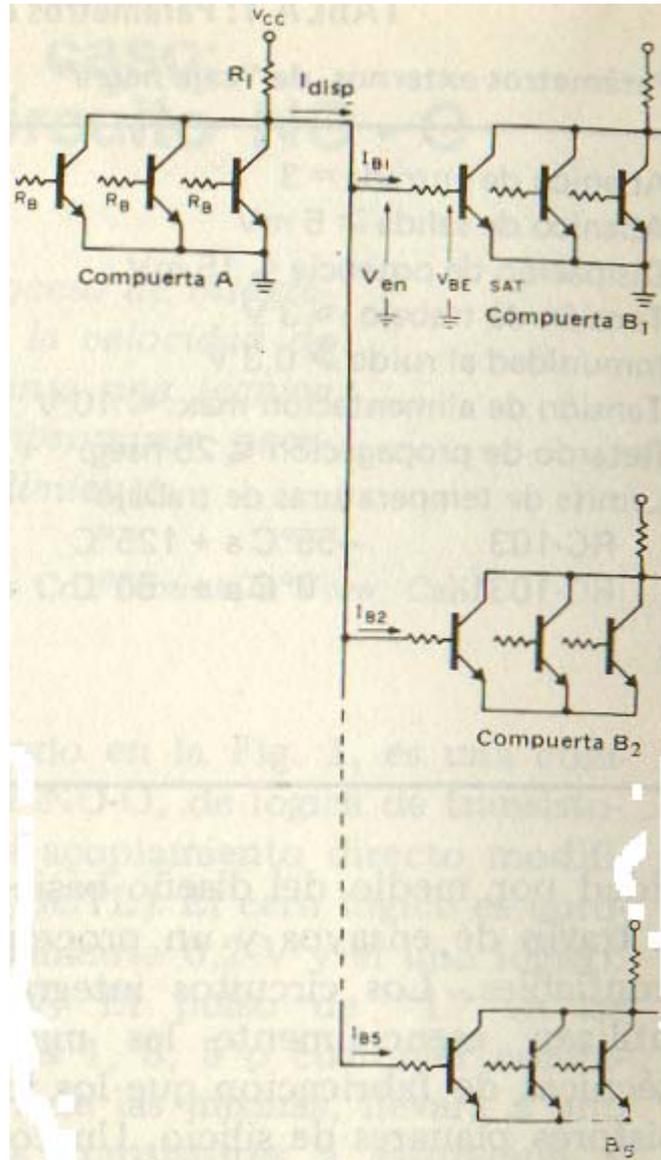


Figura N° 8.23 Representación de una Compuerta NO-O
 La compuerta A excita 5 cargas: compuertas B₁ a B₅.

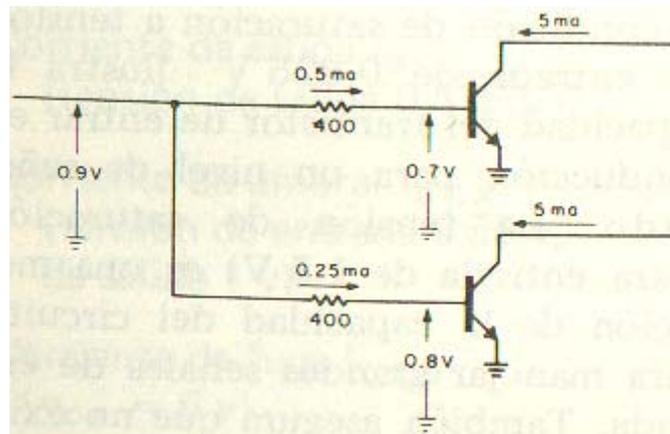


Figura N° 8.24 Efecto de Valores Distintos de Vesta
 sobre circuitos de compuertas NO-O excitadas en paralelo.

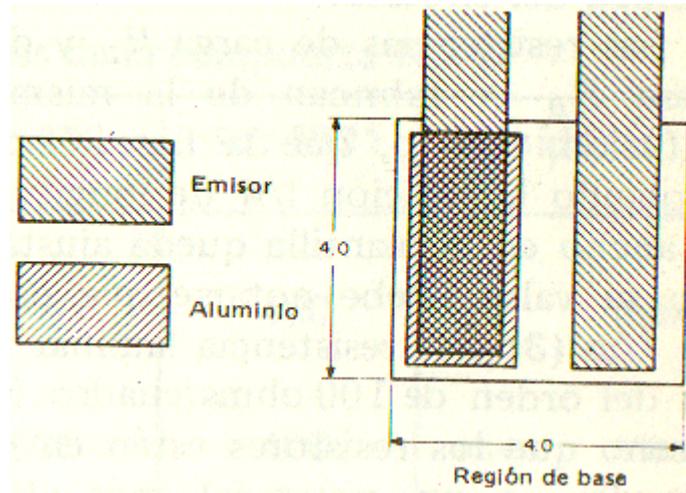


Figura N° 8.25 Vista de Arriba

de las regiones de base y emisor de un transistor usado en un circuito integrado.

TABLA 1: Parámetros de Diseño de la Compuerta NO-O

Parámetros Externos de Caja Negra	Parámetros Internos del Dispositivo
Abanico de entrada = 3	Resistencia de carga $R_L = 600 \Omega$
Abanico de Salida $\geq 5 \text{ mV}$	Resistencia de Base $R_B = 40 \Omega$
Disipación de Potencia $\leq 15 \text{ mV}$	Ganancia de Corriente $h_{FE} > 20$
Tensión de Trabajo $\approx 3 \text{ v}$	Pico de h_{FE} a $I_c \approx 5 \text{ mA}$
Inmunidad al ruido $\geq 0,3 \text{ v}$	Frecuencia de corte $f_T \approx 500 \text{ MHz}$
Tensión de Alimentación máx. $\leq 10 \text{ v}$	Tensión de Saturación
Retardo de Propagación $\leq 25 \text{ nseg.}$	$V_{BESAT} \approx 0,7 \text{ v}$
Limite de Temperatura de Trabajo	Tensión de Saturación V_{cesat}
RC-103 -55°C a + 125°C	RC-103 $V_{cesat} < 0,25 \text{ v}$
RC-1031 0°C a + 50°C	RC-1031 $V_{cesat} < 0,35 \text{ v}$
	Resistividad Laminar de Base
	$\rho_L \approx 100 \Omega/\text{cuadro}$

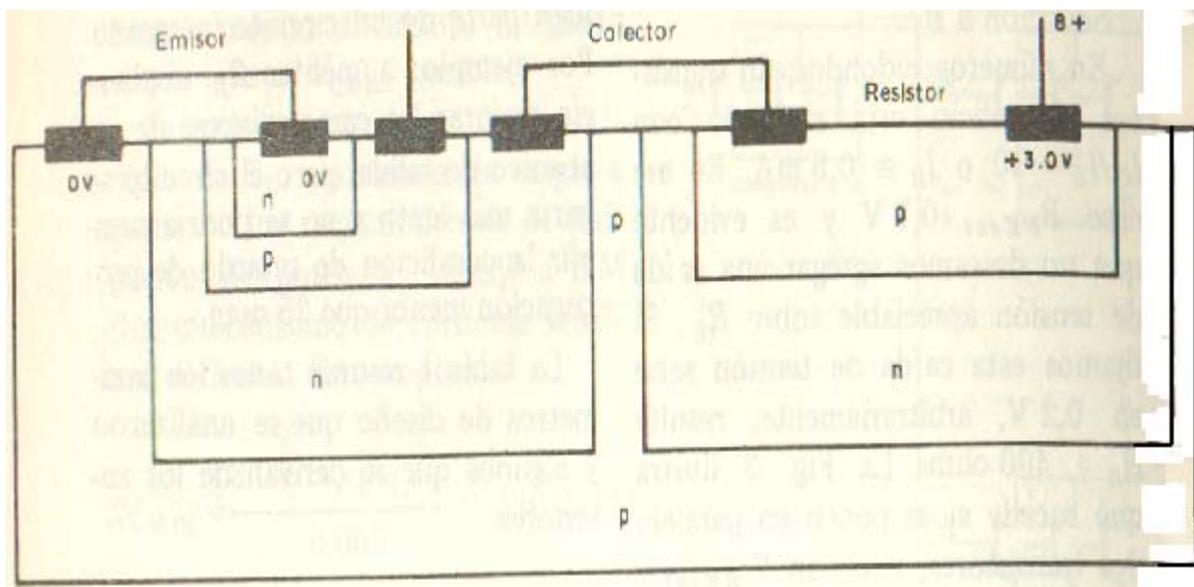


Figura N° 8.26 Corte Transversal de un Circuito Integrado.

Se ven solo un transistor y el resistor de carga.

TABLA 2 Características Eléctricas de la Compuerta NO-O

	RC-103	RC-1031	Unidades
Corriente de entrada de Base IB (tensión de entrada 0,825 v)	370	400	µa max
Tensión de Salida Vo (tensión d entrada 0,825 v)	300	400	mV max
Tensión de Saturación Vs (tensión de entrada 1,5 v)	259	-----	mV max
Corriente de Salida Io (tensión de Salida 0,825 v)	2,9	2,1	ma máx.
Corriente de Umbral I _{cx} (tensión de Entrada 0,55 v, de salida 1v)	200	---	µa máx.
Corriente de Fuga I _{ceo} (V _{ce} = 5 v)	100	200	µa máx.
Retardo de propagación t _p	25	35	nseg. máx.
Resistencia de Carga RL	530	---	Ω min.

Se puede notar que se realizaron dos ensayos de tensión de saturación: con tensión de entrada de 0,825 v. Y de 1,5 v. La tensión de salida Vo para la condición de saturación a tensión de entrada de 0,825 v, ilustra la capacidad del transistor de entrada en conducción para un nivel de señal dado. La tensión de saturación para entrada de 1,5 v, es una medición de la capacidad del circuito para manejar grandes señales de entrada. También asegura que no existen elementos parásitos capaces de limitar el funcionamiento del dispositivo. Podría existir un diodo parásito de fijación entre el terminal de entrada y sustrato, que podría elevar la tensión de salida a medida que aumenta la de entrada. La corriente de salida se mide con 0,55 v aplicados a las 3 entradas. Esta es una condición de por caso. Nótese que si uno de los transistores comienza a conducir demasiado pronto a V_{be} = 0,55 v, la corriente que circula por RL se dirigirá a ese transistor en lugar de la salida y entrada al circuito siguiente.

El abanico de salida de la compuerta NO-O es la relación entre la mínima corriente de entrada de salida y la máxima corriente de entrada de base. En este caso es $2,9/0,37 = 8$ para la compuerta RC-103.